



## Concise Explanation of the Relevance

Japanese Patent Laid-Open Publication No. Hei 9-17975

In this reference, a method for making the surface of a silicon film uneven by using a metal film or a compound film formed in a shape such that the width of the film is not uniform or formed in islands as a selection mask for dry etching is disclosed. In the reference, it is described that an ultrathin tungsten film 7 is formed on an amorphous silicon film 33, which is heated one hour at 150°C in the air to expedite surface oxidation speed and then an uneven amorphous silicon film 5 is formed by dry etching.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-17975

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 2 1 C
21/8242			27/04	C
27/04				
21/822				

審査請求 有 請求項の数5 F D (全 5 頁)

(21)出願番号 特願平7-188329

(22)出願日 平成7年(1995)6月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川野 英夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 三上 雅生

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 菅野 中

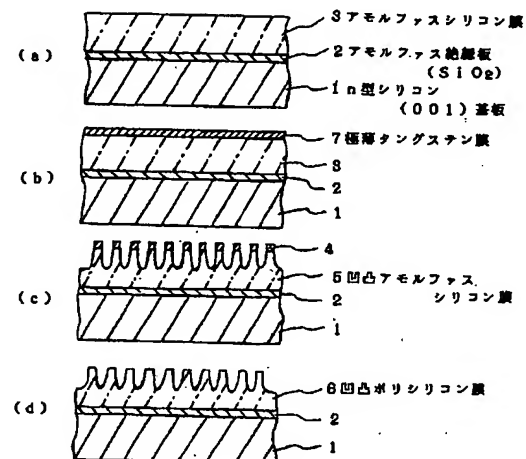
(54)【発明の名称】 凸凹シリコン膜の形成方法と半導体メモリデバイス

## (57)【要約】

【目的】 簡単な工程で制御性良く形成でき、凸凹の高さが十分大きく表面積の大きな凸凹ポリシリコン膜を形成する方法を提供する。

【構成】 基板上にアモルファスシリコン膜を形成し、このアモルファスシリコン膜上に極薄膜の金属または化合物を成膜する。続いて、アモルファスシリコン膜表面をドライエッチングすることにより凸凹アモルファスシリコン膜を形成し、これを加熱し多結晶化することで凸凹ポリシリコン膜を形成する。

【効果】 従来のような膜除去のためのエッチング工程が不要であり、簡単なプロセスで形成できる。さらに、ドライエッチングに対する選択性が強いいため、凸凹高さを制御性良く形成でき、ドライエッチング量を多くすることによって、柱状の凸凹表面の高さを増大させることができ、それによって大きなキャパシタ容量が得られる。



## 【特許請求の範囲】

【請求項1】 膜厚が不均一または島状に形成された金属膜または化合物膜をドライエッチングの選択マスクとしてシリコン膜表面を凸凹にする凸凹シリコン膜の形成方法であって、

選択マスクとして、物理的または化学的薄膜成長法で50Å以下に成膜した金属膜を酸化した金属酸化膜または直接成膜した50Å以下の金属酸化膜を用いることを特徴とする凸凹シリコン膜の形成方法。

【請求項2】 前記シリコン酸化膜は、アモルファスシリコンまたはポリシリコンであることを特徴とする請求項1に記載の凸凹シリコン膜の形成方法。

【請求項3】 前記金属膜は、タングステン、チタン、モリブデンのいずれかであることを特徴とする請求項1に記載の凸凹シリコン膜の形成方法。

【請求項4】 前記金属酸化膜は、タングステン、チタン、モリブデンの酸化膜のいずれかであることを特徴とする請求項1に記載の凸凹シリコン膜の形成方法。

【請求項5】 前記凸凹シリコン膜を容量電極として用いたことを特徴とする半導体メモリデバイス。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置におけるキャパシタの電極に用いる凸凹シリコン膜形成方法と、そのシリコン膜を用いた半導体メモリデバイスに関する。

## 【0002】

【従来の技術】 近年、半導体メモリデバイスであるDRAMの高集積化に伴いメモリサイズは縮小化し、キャパシタの面積が小さくなり、それに伴う容量の減少を抑えるために容量膜を薄くしたり、電極をスタック構造のように立体化すること、さらにはこの電極表面を凸凹にすることによって電極表面積を増大する方法が提案されている。

【0003】 例えば、電極表面を凸凹にする方法は、本発明者らによる特願平6-263032号の明細書に記載されている。上述した方法は図3に示すように、LPCVD法（減圧化学気相成長法）で成長した膜厚400Åのアモルファスシリコン膜3上に膜厚1500Åのクロム（Cr）膜4をスパッタ法で成膜し、このクロム膜4を $\text{Cl}_2/\text{O}_2/\text{H}_2$ の混合ガスを用いてドライエッチング法により除去する。

【0004】 次に、露出したアモルファスシリコン膜3を $\text{SP}_6/\text{Cl}_2/\text{H}_2$ の混合ガスを用いてドライエッチングすることにより、深さ3000Åまでエッチングする。その結果、高さ約1500Åの針状の凸凹表面構造をもったアモルファスシリコン膜5が形成される。このあと熱処理によってアモルファスシリコン膜5をポリシリコンに、この凸凹ポリシリコン膜6を電極として用いてDRAM用のキャパシタを作製し、凸凹なしのキャパシタ電極に対して約3倍の容量を得ている。

【0005】 上述した従来の方法を用いて凸凹アモルファスシリコン膜5が得られる理由は、クロム膜4のドライエッチングでアモルファスシリコン膜3の表面にクロムシリサイドが不均一または島状に形成され、これがアモルファスシリコン膜3のドライエッチングの選択マスクとなるためである。

## 【0006】

【発明が解決しようとする課題】 しかしながら、従来の方法では選択マスクのエッチング選択性が悪く、3000Åのエッチングに対して凸凹の高さはせいぜい1500Åが限度であり、それ以上では表面全体がエッチングされてしまい、凸凹高さの制御がかなり困難である。

【0007】 さらに金属膜をドライエッチングして選択マスク層を残すということで、プロセスが複雑で再現性を確保することがかなり困難であるという欠点があった。

【0008】 本発明の目的は、このような従来の欠点を解消し、簡単な工程で制御性良く、凸凹の高さが十分に大きく表面積の大きな凸凹ポリシリコン膜を形成する方法とそれを用いた半導体メモリデバイスを提供する。

## 【0009】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る凸凹シリコン膜の形成方法は、膜厚が不均一または島状に形成された金属膜または化合物膜をドライエッチングの選択マスクとしてシリコン膜表面を凸凹にする凸凹シリコン膜の形成方法であって、選択マスクとして、物理的または化学的薄膜成長法で50Å以下に成膜した金属膜を酸化した金属酸化膜または直接成膜した50Å以下の金属酸化膜を用いるものである。

【0010】 また前記シリコン酸化膜は、アモルファスシリコンまたはポリシリコンである。

【0011】 また前記金属膜は、タングステン、チタン、モリブデンのいずれかである。

【0012】 また前記金属酸化膜は、タングステン、チタン、モリブデンの酸化膜のいずれかである。

【0013】 また本発明に係る半導体メモリデバイスは、前記凸凹シリコン膜を容量電極として用いたものである。

## 【0014】

【作用】 本発明は、シリコン基板上にアモルファスシリコン膜またはポリシリコン膜を形成し、このシリコン膜上に50Å以下の金属膜または金属酸化膜を成膜し、または前記金属膜を酸化し、前記アモルファスシリコン膜かポリシリコン膜のシリコン膜をドライエッチングすることはよって凸凹シリコン膜を形成する。

## 【0015】

【実施例】 以下、本発明の実施例について図を用いて説明する。

【0016】 （実施例1） 図1は本発明の実施例1を製造工程順に示す断面図である。まず図1（a）に示すよ

うに、表面上に熱酸化によって厚さ1000Åのアモルファス絶縁膜(SiO<sub>2</sub>)2を形成したn型シリコン

(001)基板1上に、LPCVD法(減圧化学気相成長法)を用いて厚さ4000Åのアモルファスシリコン膜3を形成する。

【0017】次に図1(b)に示すように、スパッタリング法でアモルファスシリコン膜3上に極薄タングステン(W)膜7を厚さ20Å成膜する。その後、30日間室温の空气中に放置した。続いて、HBr/Cr<sub>2</sub>/He混合ガスを用いたドライエッチング法により、深さ2000Å間でエッチングすることにより、図1(c)に示すように、ほぼエッチング深さに相当する高さ約2000Åの柱状の凸凹表面構造をもったアモルファスシリコン膜5が形成される。

【0018】図2にその柱状の凸凹アモルファスシリコン膜5表面および断面を電子顕微鏡(倍率5万倍)で観察した結果を示す。ここで、アモルファスシリコン膜3表面に成膜される極薄タングステン膜7表面が自然酸化され、タングステン酸化層が形成していることがX線光電子分光法(XPS)によって確認されている。この凸凹表面構造の形成のメカニズムは、極薄タングステン膜7の膜厚が非常に薄いため、そのタングステン酸化層の厚さが不均一または島状に形成されているために、これが選択マスクとなって凸凹表面構造が形成されたと考えられる。

【0019】最後に図1(d)に示すように、650℃で5分間加熱し、凸凹アモルファスシリコン膜5を多結晶化させ凸凹ポリシリコン膜6を形成する。本実施例において、極薄タングステン膜7の膜厚を10Å~70Åの範囲で10Å毎変化させて、同様の実験をしたところ、膜厚の増加とともに凸凹アモルファスシリコン膜5の溝幅が減少していき、60Å、70Åではほとんど凸凹アモルファスシリコン膜5が形成されなかった。

【0020】(実施例2)実施例1においては、極薄タングステン膜7を成膜後、空气中に放置する時間を1日以内としてドライエッチングしたところ、凸凹アモルファスシリコン膜5は形成されなかった。このことは、例えばタングステンの酸化がある程度以上進展することが凸凹アモルファスシリコン膜5を形成するために必要な条件であることを示すものである。

【0021】(実施例3)実施例1において、タングステンの代わりに、チタンまたはモリブデン膜を用いても、ほぼ同様の凸凹アモルファスシリコン膜5が形成された。

【0022】(実施例4)実施例1および2において示したように、極薄タングステン膜7を長時間放置しておかないとタングステンの酸化が進行せず、エッチングの選択マスクとして有効に機能しないという問題があることが判明した。このため、この問題を解決するために、極薄タングステン膜7を成膜後、表面酸化速度を速める

ために空气中で150℃、1時間加熱した。その後、実施例1と同様にドライエッチングを行ったところ、同様の凸凹アモルファスシリコン膜5が形成された。

【0023】(実施例5)実施例1において、スパッタリング法でArガス中に3%の酸素を混入することによってタングステン膜の代わりに酸化タングステン膜を10Å~50Åの膜厚になるように成膜した後、同様のドライエッチングをすることによって凸凹アモルファスシリコン膜5を形成することができた。

【0024】(実施例6)前記実施例1、3、4、5において、アモルファスシリコン膜3の代わりにポリシリコン膜を使用しても同様の凸凹ポリシリコン膜6の形成ができた。

【0025】(実施例7)シリコン基板1と電気的コンタクトをとり、実施例1または実施例2の方法で作製した高低差4000Åの凸凹ポリシリコン膜6をサイズ0.5μm×1.3μmの電極とし、その上に膜厚50Åのシリコン窒化膜を形成し、さらにその上に共通電極としてポリシリコン膜を形成することによって、ダイナミックランダムアクセスメモリ(DRAM)用のキャパシタセルアレイを作製し容量を測定した結果、凸凹ポリシリコン膜6を用いない場合の4倍の容量値が得られた。これは、きわめて安定した電荷保持特性を保証する半導体メモリデバイスを提供するものである。

【0026】

【発明の効果】以上詳細に述べたように本発明によれば、膜厚50Å以下に成膜した金属膜を酸化するか、直接成膜した同等レベルの膜厚の酸化膜をエッチングの選択マスクとすることによって、きわめて選択性の強い微細マスク効果によって、エッチング深さに相当した高低差を有する凸凹ポリシリコン膜6を再現性良く作製することができる。

【0027】また、プロセス的にも従来の装置、材料を用いた簡単な工程で作成可能である。その上、キャパシタ増大率も4倍以上と大きく、電荷保持時間の長いDRAMデバイスを提供することを可能にするもので、半導体メモリデバイスに対してその価値は大きいことが明らかである。

【図面の簡単な説明】

【図1】本発明の実施例を製造工程順に示す断面図である。

【図2】本発明によって形成された凸凹アモルファスシリコン膜表面および断面の電子顕微鏡写真である。

【図3】従来の凸凹シリコン膜の形成方法を示す断面図である。

【符号の説明】

- 1 n型シリコン(001)基板
- 2 アモルファス絶縁膜(SiO<sub>2</sub>)
- 3 アモルファスシリコン膜
- 4 クロム膜

5

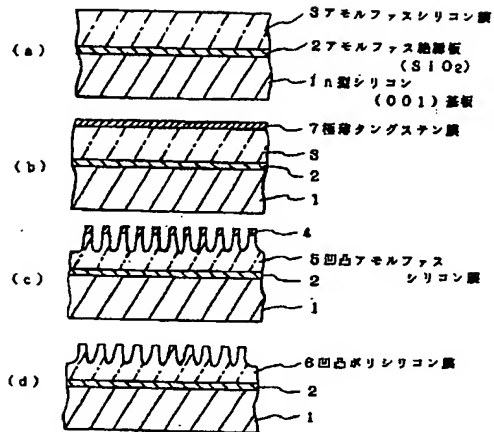
6

5 凸凹アモルファスシリコン膜

7 極薄タングステン膜

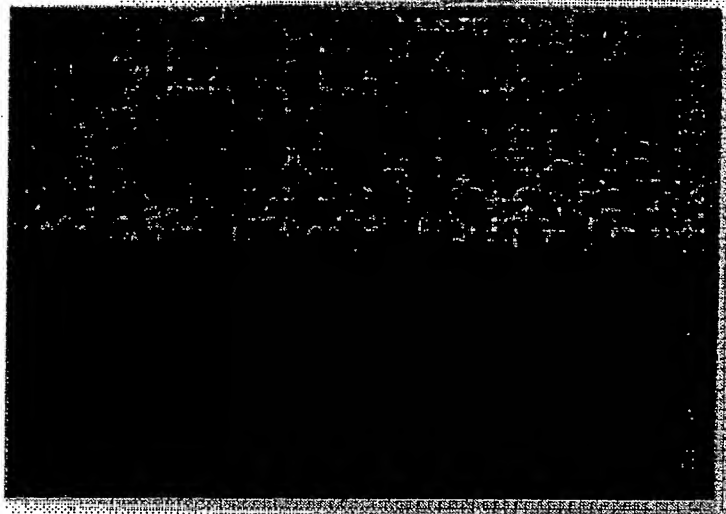
6 凸凹ポリシリコン膜

【図1】



【図2】

図2は、図1の構造の断面写真である。



【図3】

